

SIMULAÇÃO DE AMBIENTE DE AUTOMAÇÃO PARA ENSINO CONTROLADOR LÓGICO PROGRAMÁVEL ATRAVÉS DE HARDWARE BASEADO EM FPGA

Vitor Alexandre Santos – vitorsantoss@gmail.com

Universidade Tecnológica Federal do Paraná (UTFPR) – Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial (CPGEI).

Av. Sete de Setembro, 3165.

CEP 80230-901 – Curitiba – Paraná

Carlos Raimundo Erig Lima – erig@utfpr.edu.br

Universidade Tecnológica Federal do Paraná (UTFPR) – Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial (CPGEI).

Av. Sete de Setembro, 3165.

CEP 80230-901 – Curitiba – Paraná

Resumo: *Este trabalho apresenta um ambiente de simulação para o ensino de controlador lógico programável (CLP) através de um hardware baseado em FPGA (field-programmable gate array). Muitas vezes, a utilização de chaves de entradas e sinalizadores para as saídas são suficientes para o ensino de programação em controladores lógicos programáveis. Contudo, os cursos de Engenharia, particularmente com ênfase na automação e controle, aplicações mais específicas são necessárias, demandando a utilização de outros equipamentos encontrados em uma planta industrial. Além do custo elevado de tais equipamentos, existe o problema de propiciar espaço físico, instalações elétricas e hidráulicas dedicadas e manutenção periódica. Na UTFPR, diversas plataformas de ensino baseadas em FPGAs estão disponíveis para os alunos dos diferentes cursos de Engenharia e Tecnologia, sendo as mesmas utilizadas nas disciplinas regulares de Lógica Reconfigurável por Hardware e ainda no suporte de outras disciplinas dos grupos de Eletrônica Digital e Controle. Dessa forma, a com a utilização destas plataformas de FPGA, observou-se a possibilidade de propiciar um simulador de ambiente de automação de baixo custo para o suporte ao ensino de CLPs. Para o sistema proposto foi utilizado o CLP S7-1200 da Siemens. O artigo primeiramente apresenta os conceitos sobre o controlador e o motivo da utilização da FPGA. Em seguida, é mostrada a topologia dos circuitos para a realização dos experimentos, assim como as funções analisadas do controlador. A rotina de testes assim como os resultados obtidos, são apresentados na sequência. Finalizando o artigo, têm-se as conclusões e sugestões para outros trabalhos.*

Palavras-chave: *Simulação, Controlador, FPGA.*



1. INTRODUÇÃO

A Universidade Tecnológica Federal do Paraná (UTFPR) fornece ao público brasileiro e a comunidade internacional vários cursos de engenharia. Hoje, são ofertados cursos de Engenharia Elétrica, Engenharia Mecânica, Engenharia de Controle e Automação e Engenharia da Computação. Em vários destes cursos há a demanda pelo ensino de CLPs como elementos centrais no controle de processos encontrados nos mais diversos ambientes industriais. Muitos dos experimentos propostos para exploração de todas as capacidades dos CPLs demandam a interligação dos mesmos com ambientes que representem a realidade destes ambientes industriais. Apesar de a UTFPR disponibilizar laboratórios com diversas plantas industriais simplificadas, a exemplo de plantas de térmicas, hidráulicas, químicas, mecânicas e robóticas, as mesmas são altamente demandadas pelos diversos cursos, não atendendo de forma satisfatória a todas as disciplinas das Engenharias. Paralelamente, deve-se considerar os problemas associados a expansão destes laboratórios. Além do custo elevado de tais equipamentos, existe o problema de propiciar espaço físico, instalações elétricas e hidráulicas dedicadas e manutenção periódica. Por outro lado, projetos de alunos que demandem a utilização por longo prazo destas plantas (a exemplo dos Trabalhos de Conclusão de Cursos) são inviabilizados pela alta rotatividade das mesmas.

Em função desta realidade e considerando diversas plataformas de ensino baseadas em FPGA estão disponíveis para os alunos dos diferentes cursos de Engenharia e Tecnologia, sendo as mesmas utilizadas nas disciplinas regulares de Lógica Reconfigurável por Hardware e ainda no suporte de outras disciplinas dos grupos de Eletrônica Digital e Controle, observou-se a possibilidade de propiciar um simulador de ambiente de automação de baixo custo baseado em FPGA para o suporte ao ensino de CLPs.

O controle lógico de sequência de comandos dentro da indústria evoluiu das lógicas com base em relé e placas eletrônicas dedicadas para sistemas contendo dispositivos programáveis (SILVEIRA & SANTOS, 2002). Sistemas complexos do processo industrial utilizam a flexibilidade do controlador lógico, fazendo com que o mesmo não fique apenas inserido em lógica de tomada de decisão com base em eventos e sim dentro de sistemas de processos contínuos de elevada necessidade de desempenho. Impondo o conceito da facilidade de programação, elevado nível de confiabilidade, menor dissipação de potência elétrica e readequação em sistemas de automação, o CLP (em inglês PLC - *Programmable Logic Controller*) torna-se um equipamento de grande importância dentro de uma topologia de *hardware* para sistemas automatizados dentro de um processo industrial (MORAES & CASTRUCCI, 2007).

Para o trabalho, foi utilizado a CPU 1214C pertencente a família S7-1200 da Siemens, já que o mesmo é largamente utilizado, e encontrado com facilidade em bancadas didáticas. A Figura 1 mostra a CPU do S7-1200.



Figura 1 - Controlador lógico Programável S7 1200 - CPU 1214C

O CLP parte de rotinas de programação com base em lógica de contatos (programação em linguagem *ladder*). No entanto, o mesmo admite ferramentas de programação complexas para utilização de controle de movimentação de máquinas, utilizando-se de saídas de trem de pulsos (PTO - *Pulse Train Output*), controle através de modulação por largura de pulso (PWM - *Pulse Width Modulation*), entradas digitais para pulsos em alta frequência configurados como contadores rápidos (HSC - *High Speed Counter*) ou medidores de frequência, assim como malhas de controle PID (controle proporcional, integral e derivativo) e sistemas integrados com *web server* (SIEMENS, 2014).

Para uma atividade de desenvolvimento de programa baseado em CLPs, a utilização e simulação de entradas e saídas digitais ou analógicas é simples, necessitando apenas de chaves e sinalizadores luminosos para os periféricos digitais e uma fonte de tensão ou corrente variável com um instrumento de medição das mesmas variáveis para os periféricos analógicos.

Com a utilização das ferramentas mais complexas, testes de bancada se tornam inviáveis em termos de custo e complexidade dos equipamentos necessários, deixando dessa maneira as questões de simulações relativas a essas ferramentas deficientes, o que justifica a utilização de um sistema externo ao CLP para auxiliar em tais tarefas.

Através de um *hardware* externo, baseado em lógica reconfigurável (plataformas de desenvolvimento baseadas em FPGA), foi desenvolvido um ambiente de simulação que permita que o CLP exercitar tais funções complexas. Não faz parte do objetivo central do trabalho tratar as entradas e saídas analógicas. Estas podem ser implementadas de forma simplificada como descrito anteriormente, ou se necessário, podem ser tratadas em uma parte futura do trabalho.

Os experimentos descritos no trabalho utilizaram a placa didática DE1 da Altera (ALTERA, 2014), a qual contém a FPGA. A placa DE1 tem como função, dentro do sistema em questão, enviar e receber sinais para o CLP através de um barramento de dados padronizado. Com isso, foi possível testar as entradas digitais simples, entradas digitais configuradas como medidores de frequência de sinais, entradas de contagem de pulsos rápidos, saídas digitais simples, saídas geradoras de sinais de alta frequência e saídas de sinais modulados em largura de pulso.

Para a visualização de envio e recebimento de dados do CLP, foi desenvolvido um *software* supervisor, semelhante aos encontrados dentro da indústria. Além disso, foram utilizados os periféricos disponibilizados na placa DE1, como chaves, *leds* e *display* de sete segmentos para realizar os testes e simulações necessários.

2. CIRCUITOS DE INTERFACE

O controlador Siemens, utilizado nos testes, trabalha com tensões de 24VDC, tanto nos terminais de entradas digitais quanto nos de saídas digitais (SIEMENS, 2014). Já a FPGA trabalha com tensões de 3,3VDC e 5VDC para o barramento de dados (ALTERA, 2014). Para a aplicação corrente, foi utilizada a tensão de 3,3VDC.

Para a conexão do barramento de dados da FPGA com os terminais do CLP, foi utilizado um circuito de interface de dados baseado em opto acopladores, para a isolação elétrica de ambos os circuitos (VISHAY, 2010). A Figura 2 mostra o circuito de interface para envio de dados do CLP e recebimento da FPGA. Como a saída do CLP insere uma amplitude de 24VDC, um divisor resistivo foi utilizado, e com isso a tensão de saída do divisor foi levada para entrada do opto acoplador. Como a alimentação do opto acoplador era de 3,3V (vindos do kit da FPGA), o nível de tensão nos pinos de entrada da mesma ficou adequado, inserindo uma isolação elétrica entre os circuitos do CLP e da placa que contém a FPGA.

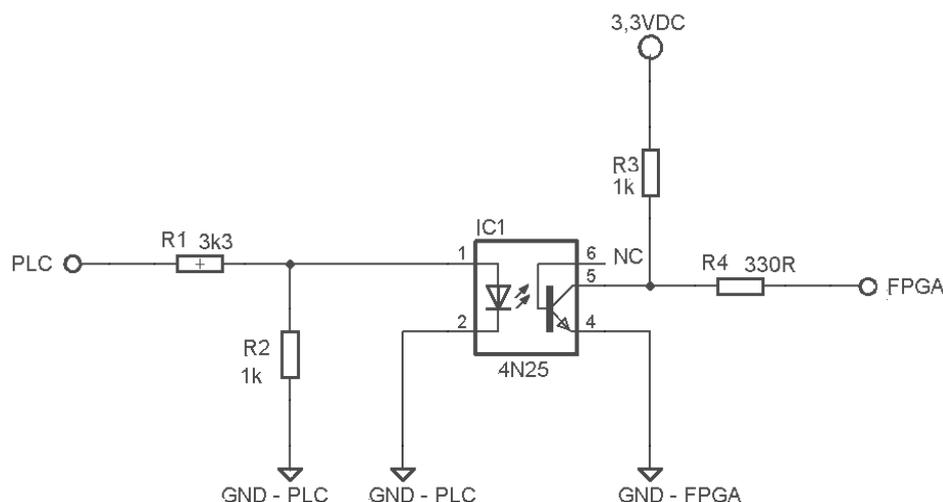


Figura 2 - Circuito de interface CLP - FPGA

Para o envio de dados da FPGA para o CLP, o circuito foi semelhante ao anterior. O pino de saída da FPGA, o qual fornece tensão de amplitude de 3,3VDC foi para a entrada do opto acoplador, o qual foi inserido para promover uma isolação elétrica entre os circuitos. Um referencial de tensão de 5VDC foi gerado para a alimentação de saída dos opto acopladores. Para que o sinal ficasse com amplitude de 24VDC, necessária para a excitação da entrada do CLP, um amplificador operacional configurado como comparador de tensão foi utilizado, podendo dessa forma, acionar as entradas digitais do mesmo. A Figura 3 mostra o circuito de

interface para envio de dados da FPGA e recebimento do CLP. A fonte de 24VDC utilizada na alimentação do amplificador operacional e geradora do referencial de 5VDC, é oriunda da alimentação do CLP.

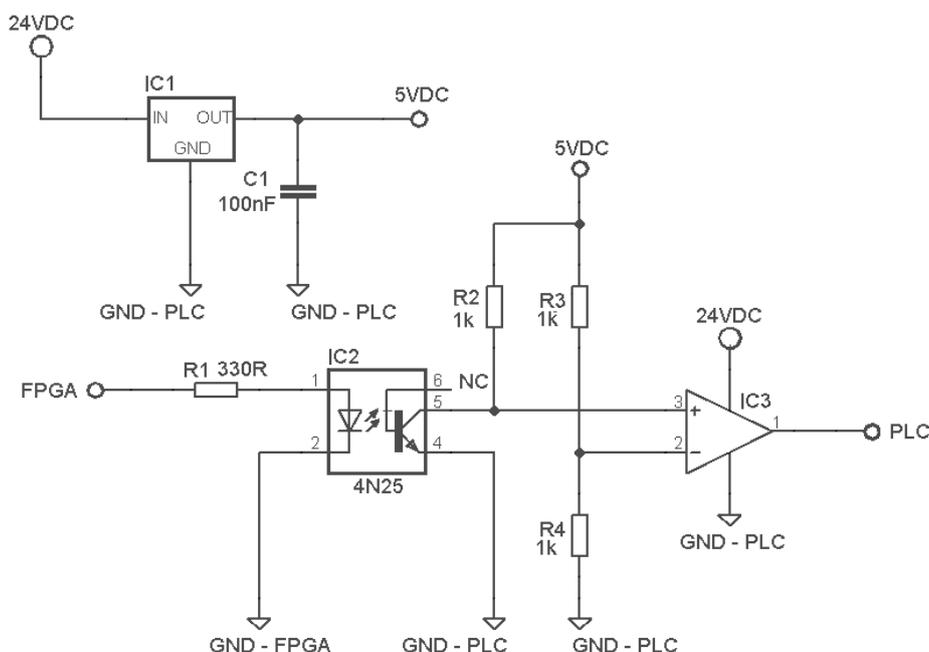


Figura 3 - Circuito de interface FPGA-CLP

Com os diagramas de circuitos desenvolvidos, foi confeccionada uma placa de circuito impresso para montagem do sistema. Foram utilizados quatro saídas digitais do CLP com dados enviados para leitura pela FPGA. Outras três saídas do CLP foram enviadas para a FPGA a fim de controle da função a ser executada, para esse caso, a função selecionada para a FPGA era feita através do programa do CLP e conseqüentemente o comando a partir do supervisor. Dessa forma, através da interface desenvolvida é possível selecionar uma das seis funções capazes de serem testadas.

Entre essas funções, é possível a escolha das seguintes análises: função de entradas digitais simples, mostrada pelos *displays* como ETD, função para monitoração de frequência - FREQ, função para contadores rápidos - HSC, função para saídas digitais simples - SDA, função para as saídas de trem de pulso - PTO e função para as saídas PWM - DUTY.

Quatro entradas digitais do CLP foram utilizadas, recebendo os dados gerados pela FPGA. A Figura 4 mostra a placa de circuito impresso confeccionada.

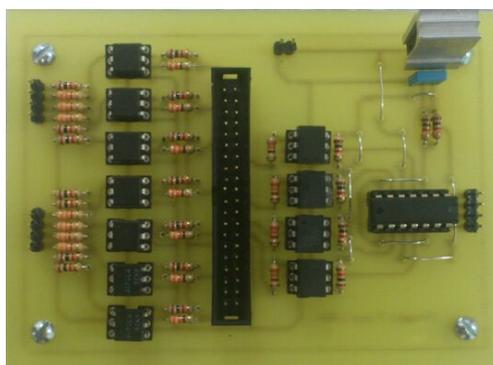


Figura 4 - Placa de circuito impresso do *hardware* de interface

3. O SISTEMA DE SIMULAÇÃO E A INTERFACE COM O USUÁRIO

O objetivo central do sistema é a utilização do mesmo como ferramenta de simulação ou apoio em desenvolvimento de projetos com CLP Siemens, no qual as funções de maior complexidade sejam utilizadas. Para a análise proposta por esse trabalho, foi desenvolvida uma aplicação para o CLP utilizando a plataforma de programação TIA Portal da Siemens (*Totally Integrated Automation Portal*) versão 12.

O programa desenvolvido foi dividido em seis partes, relacionadas aos blocos de funções específicas. Duas dessas funções foram utilizadas para testes das entradas e saídas digitais simples, sendo que as outras quatro ficaram responsáveis pelos seguintes blocos: leitura em frequência, contadores rápidos (HSC), saída em trem de pulso (PTO) e saídas moduladas em largura de pulso (PWM). A Figura 5 mostra a árvore de projeto do programa utilizado no CLP.

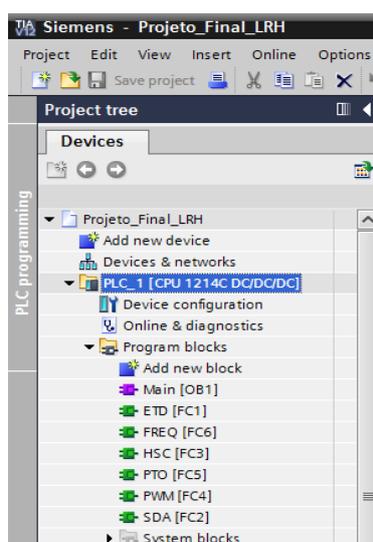


Figura 5 - Estrutura das funções no projeto do CLP

O CLP utilizado (Simatic S7-1200, CPU 1214C DC/DC/DC) possui quatorze entradas digitais, dez saídas digitais e duas entradas analógicas em tensão, 0 a 10VDC. Com alimentação em 24VDC, seis entradas configuráveis são como HSC, sendo três com frequência de até 100 kHz e três com frequência de até 30 kHz. O CLP também possui quatro saídas configuráveis como PTO/PWM, com frequência de até 100 kHz (SIEMENS, 2014).

Os dados enviados e lidos, através do usuário, foram executados através de um sistema supervisorio. Esse sistema foi desenvolvido através da ferramenta Eclipse SCADA, versão 2.29, da empresa Eclipse Software (ELIPSE, 2014). Através do supervisorio é possível selecionar uma das seis funções disponíveis no sistema, monitorar as variáveis de entradas, oriundas do CLP e controladas pela FPGA, e controlar variáveis de saída do CLP, monitoradas através da FPGA. A Figura 6 mostra o supervisorio desenvolvido.

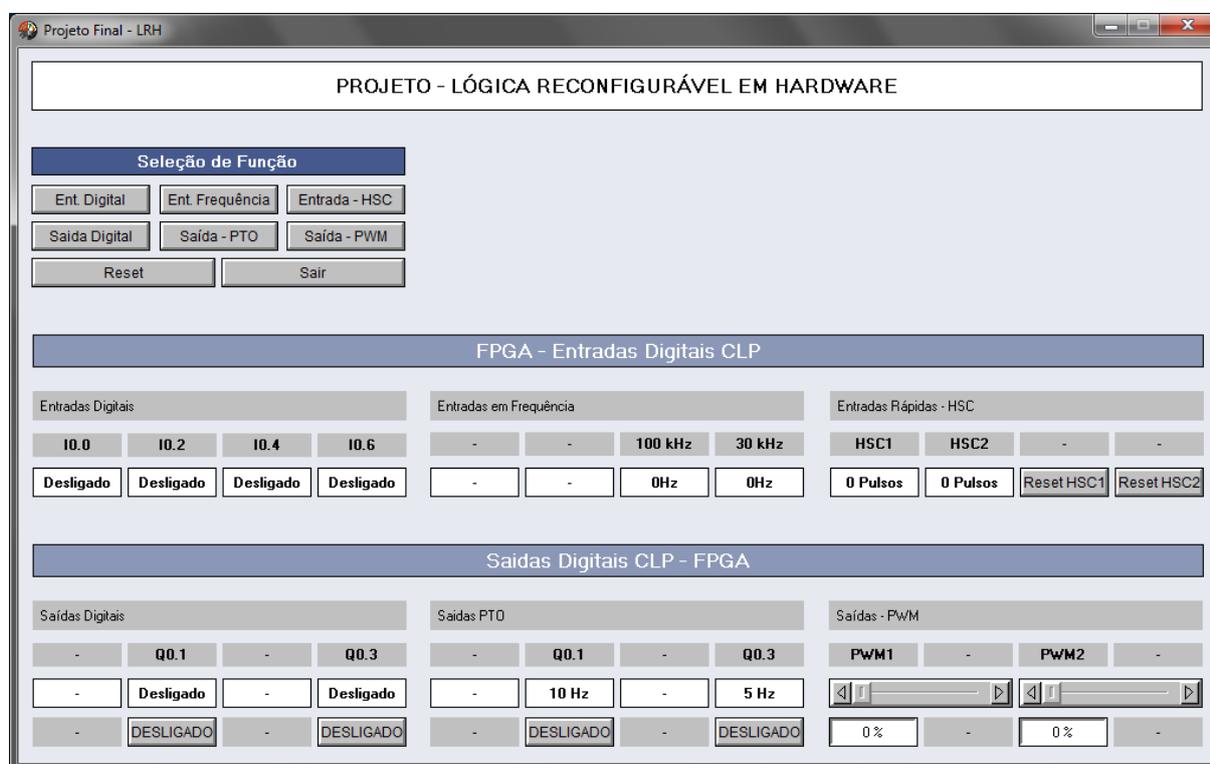


Figura 6 - Sistema supervisorio desenvolvido.

Ainda se tratando de interface com o usuário, são utilizadas as chaves da placa DE1 para controle e os *leds* e *displays* para monitoração de valores de frequência e *duty cycle*, por exemplo.

4. FUNÇÕES ANALISADAS NOS ENSAIOS

Como já descrito em seções anteriores, foram implementadas seis funções no CLP a fim de simulação com base na placa didática DE1. As funções foram nomeadas, de forma

simplificada, para que, quando selecionadas através do *software* supervisor, fossem identificadas através dos *displays* de sete segmentos da placa DE1 com mensagens momentâneas. As funções serão descritas individualmente a fim de um melhor detalhamento.

4.1. Funções para entradas digitais - ETD

O objetivo dessa função é testar as entradas digitais do CLP. Ao selecionar a função é possível acionar quatro entradas do CLP, através de quatro chaves do kit DE1. No *software* supervisor é possível monitorar se a entrada do CLP está sendo acionada ou não. Os *displays* da placa também mostram o valor 0 caso a respectiva entrada não seja acionada, e o valor 1 caso a entrada esteja sendo acionada.

4.2. Função para monitoração de frequência - FREQ

A segunda função desenvolvida para o sistema já utiliza um dos blocos complexos do CLP. Com essa função, duas das entradas do equipamento são configuradas para leitura de sinais de alta frequência. Na placa DE1, foi desenvolvida uma etapa de hardware que envia pulsos em frequências selecionadas pelo usuário. Para o *hardware* sintetizado para a FPGA, foi implementado um contador com valor de contagem de saída de 26 bits. Ainda através da placa didática, é possível selecionar os valores do divisor de frequência realizado com o contador. A seleção permite que o usuário determine através do número do flip-flop, e assim executar um valor específico de frequência. Como o *clock* utilizado por esse divisor de frequência, teve um valor de 50 MHz, foi possível utilizar os seguintes valores, mostrados pela Tabela 1.

Tabela 1 - Relação de frequências.

Flip-Flop	Frequência (Hz)
9	97656,25
10	48828,125
11	24414,0625
12	12207,03125
13	6103,515625
14	3051,757813
15	1525,878906
16	762,9394531
17	381,4697266
18	190,7348633
19	95,36743164
20	47,68371582
21	23,84185791
22	11,92092896
23	5,960464478
24	2,980232239
25	1,490116119

Como os flip-flops de ordens mais baixas geram frequências superiores às permitidas pelas entradas do CLP, a interface não permite a seleção das mesmas, ficando possível somente a partir da frequência de ordem igual a nove. As monitorações dessas variáveis são feitas através do *software* supervisorio

4.3. Função para contadores rápidos - HSC

Para análise dos contadores rápidos, item também pertencente à biblioteca de funções complexas do CLP em questão, foi elaborado junto a DE1 uma interface capaz de gerar um número entre 0 e 9999.

O valor numérico pode ser modificado através dos algarismos que o compõe, ou seja, unidade, dezena, centena e milhar, para facilidade por parte do acesso do usuário, os quais são incrementados e zerados através das chaves da placa. Com um pulso em outra chave do kit, é gerado em duas saídas, a possibilidade de um trem de pulsos, com a quantidade prevista pelo sistema descrito há pouco. Outras duas chaves habilitam os pulsos para as saídas da placa através do barramento. Ao gerar esses pulsos em alta frequência, duas entradas do CLP as recebem, incrementando um contador de HSC, informando ao supervisorio o valor de contagem. A frequência do trem de pulsos gerado é próxima de 98 kHz, valor próximo do limite de frequência da entrada do CLP. Com o acompanhamento do supervisorio, é possível observar o valor exato da quantidade de pulsos gerados pela placa DE1.

4.4. Função para as saídas digitais - SDA

A segunda função não pertencente à classe de ferramentas complexas possibilita através de botões inseridos no supervisorio, alterar o estado lógico das saídas do CLP.

A saída do CLP envia um sinal para a DE1, e essa por sua vez, monitora o estado lógico atual através dos *leds* vermelhos e dos *displays* de sete segmentos. Cada *display*, representando uma saída digital do CLP, informa através do valor 0 ou 1 o estado lógico atual.

4.5. Função para as saídas em trem de pulso - PTO

A terceira função de maior complexidade utilizada na análise prevista é a utilização de trem de pulsos, gerados pelo CLP.

Através do supervisorio é possível enviar dois valores de frequência, configurados através de dois botões de controle. Quando acionados, ambos os botões geram pulsos na saída digital correspondente. Como os outros testes que cercam essa simulação utilizam frequência de ordens elevadas para seus valores, para a função PTO no CLP foi implementada uma saída pulsada em baixa frequência, sendo a primeira de 10 Hz e a segunda de 5 Hz.

A função da placa DE1 na monitoração dessa função do CLP é exibir através dos *displays*, o valor de frequência correspondente. Como o *led* de *status* do CLP, também é acionado conforme o estado lógico referente à saída em questão, um *led* correspondente na placa didática também retorna o estado lógico atual.

4.6. Função para as saídas em PWM – DUTY

Finalizando as análises de funções do CLP, a modulação por largura de pulso é monitorada através da placa DE1 apresentando o valor de *duty cycle* do sinal recebido nos *displays*. Foram inseridas no programa principal, duas saídas configuradas como PWM,

ambas com período de 10 milissegundos. O valor referente ao *duty cycle* é inserido através do supervisor com valores percentuais, ou seja, uma variável de 0 a 100%.

O sinal a ser monitorado pela placa DE1 é selecionado através de duas chaves do kit, já que a mesma somente permite a visualização de uma por vez.

5. ANÁLISE DE RESULTADOS

O sistema desenvolvido respondeu as necessidades da proposta. Somente a função de leitura de frequência do CLP apresentou deficiência com os sinais gerados pela DE1. Como foi utilizado um divisor de frequência para um sinal inicial de 50 MHz, intrínseco da DE1, a partir da frequência de 390625 Hz, equivalente ao sétimo flip-flop, o valor gerado apresenta casas decimais, o que não foi previsto para a leitura de dados do CLP e conseqüentemente para o *software* supervisor, fazendo com que o mesmo arredondasse o valor recebido.

Para as outras funções, o comportamento do sistema, apresentado na Figura 7, foi satisfatório em termos de resultados analisados, tanto pela monitoração através do supervisor como os dados verificados através da placa DE1.

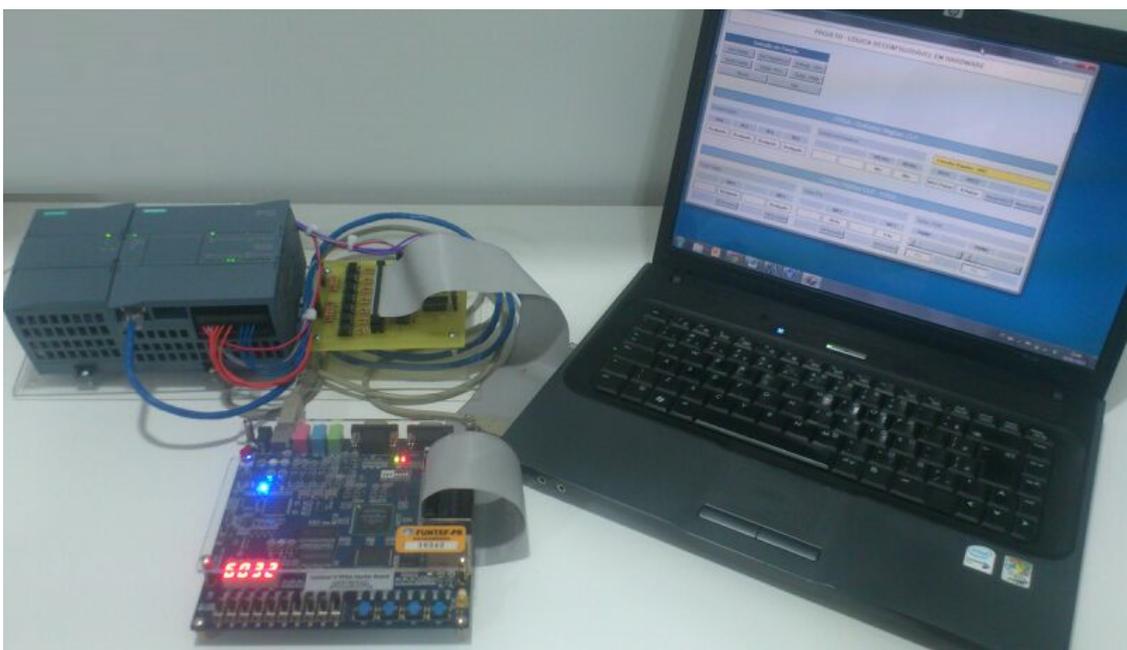


Figura 7 - Sistema completo em funcionamento

6. CONCLUSÃO

Conclui-se com o exposto que a utilização de sistemas que se aproximam de situações reais se mostram viáveis na utilização de controladores lógico programáveis.



As ferramentas de desenvolvimento de programas para esse tipo de equipamento, independente de marcas, oferecem interfaces de simulações. No entanto a utilização de um *hardware* externo demonstrou grande viabilidade nas simulações de sistemas físicos.

O objetivo central do trabalho foi analisar ferramentas que apresentam dificuldades em monitoração e controle, contudo, esse tipo de simulação pode evoluir para modelos de processos industriais complexos, podendo ser utilizado como uma pré-avaliação do programa desenvolvido.

A utilização de lógica reconfigurável para viabilizar o trabalho mostrou-se muito adequada. Além de ser uma ferramenta já disseminada dentro dos cursos de Engenharia e Tecnologia da UTFPR, o seu alto desempenho e capacidade de programação paralela facilitam a construção de modelos que se assemelham de forma satisfatória aos sistemas reais aos quais os CLPs são acoplados em ambientes industriais.

Finalmente, tem-se como sugestão para trabalhos futuros a implementação desse sistema de simulação em modelos baseados em sistemas reais, a utilização de malhas de controle baseadas em controladores industriais (inclusive com a utilização de entradas e saídas analógicas) e o desenvolvimento de uma metodologia para identificação e construção de modelos dos sistemas reais, particularmente associados com variáveis comuns do cotidiano fabril, como temperatura, pressão, vazão e nível.

7. REFERÊNCIAS / CITAÇÕES

ALTERA. **Citação de referências e documentos eletrônicos.** Disponível em: <<http://www.altera.com/education/univ/materials/boards/de1/unv-de1-board.html>> Acesso em: 10 maio 2014.

ELIPSE. **Citação de referências e documentos eletrônicos.** Disponível em: <<http://www.elipse-software.com/eng/index.aspx>> Acesso em: 10 maio 2014.

MORAES, C. C. de; CASTRUCCI, P. L. Engenharia de Automação Industrial. 2.ed. LTC, 2007.

SIEMENS. **Citação de referências e documentos eletrônicos.** Disponível em: <<http://www.automation.siemens.com/mcms/programmable-logic-controller/en/simatic-s7-controller/s7-1200/cpu/pages/default.aspx>> Acesso em: 10 maio 2014.

SILVEIRA, Paulo Rogério da; SANTOS, Winderson E. dos. Automação e controle discreto. 4. ed. São Paulo, SP: Érica, 2002.

VISHAY. **Citação de referências e documentos eletrônicos.** Disponível em: <<http://www.vishay.com/optocouplers/opto-ac-in/>> Acesso em: 09 out. 2010.



ANALYSIS OF A PROGRAMMABLE LOGIC CONTROLLER SIMULATION USING A FPGA HARDWARE

Abstract: *This paper presents a simulation environment for Programmable Logic Controller (PLC) courses using a FPGA (field-programmable gate array) hardware approach. Often, the use of single inputs and outputs are sufficient to PLC courses. However, engineering courses, particularly with an emphasis on automation and control, more specific applications are necessary, requiring the use of other equipment found in an industrial plant. Besides the high cost of such equipment, there is the problem of providing physical space, dedicated electrical and hydraulic installations and periodic maintenance. On the other hand, the UTFPR provides several FPGA educational platforms to support Digital Electronics and Control courses. Thus, with the use of these educational platforms, it is possible to propose a low cost environment to support of PLC course. For the proposed environment was used the PLC S7-1200 from Siemens.*

Key-words: *Simulation, Controller, FPGA.*